

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
NISHIMURA et al. )  
Application Number: To be Assigned )  
Filed: Concurrently Herewith )  
For: PHASE SHIFTER, PHASE SHIFTING METHOD AND )  
SKEW COMPENSATION SYSTEM FOR HIGH-SPEED )  
PARALLEL SIGNALING )  
ATTORNEY DOCKET NO. NITT.0169 )

Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231

**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

Sir:

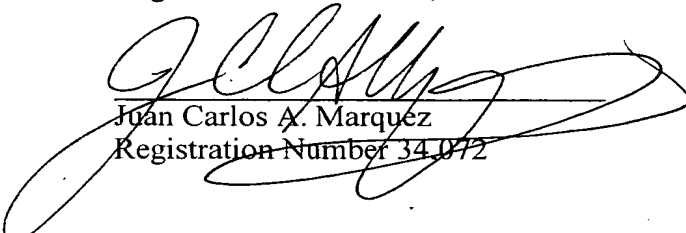
In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of December 24, 2002, the filing date of the corresponding Japanese patent application 2002-371302.

A certified copy of Japanese patent application 2002-371302 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

\_\_\_\_\_  
Stanley P. Fisher  
Registration Number 24,344

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
December 17, 2003

  
\_\_\_\_\_  
Juan Carlos A. Marquez  
Registration Number 34,072

**PATENT OFFICE**  
**JAPANESE GOVERNMENT**

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : December 24, 2002  
Application Number : Patent Application No. 2002-371302  
Applicant (s) : Hitachi, Ltd.  
Hitachi Hybrid Network Co., Ltd.

Dated this 14th day of November, 2003

---

Yasuo IMAI  
Commissioner,  
Patent Office

Certificate No. 2003-3094271

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 2 月 2 4 日  
Date of Application:

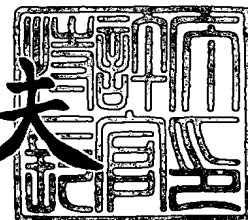
出 願 番 号            特 願 2 0 0 2 - 3 7 1 3 0 2  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 3 7 1 3 0 2 ]

出    願    人            株式会社日立製作所  
Applicant(s):            日立ハイブリッドネットワーク株式会社

2 0 0 3 年 1 1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02014261A

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 7/02

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 西村 信治

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区戸塚町 1 8 0 番地 日立通信システム株式会社内

【氏名】 原澤 克嘉

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233479

【氏名又は名称】 日立通信システム株式会社

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1 .  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相調整装置、位相調整方法および高速並列信号用スキュー補正装置

【特許請求の範囲】

【請求項 1】

クロック信号とデータ信号の位相関係を調整する位相調整装置であって、  
位相調整をするクロック信号およびデータ信号のうち少なくとも一つが入力される第 1 のフィルタと、  
該第 1 のフィルタの出力信号を分岐して入力する第 1 の経路および第 2 の経路と、  
上記第 1 の経路の信号と第 2 の経路の信号に異なる位相を与える移相器と、  
上記第 1 の経路に配置された第 1 の出力可変アンプと、  
上記第 2 の経路に配置された第 2 の出力可変アンプと、  
上記第 1 の出力可変アンプの出力と第 2 の出力可変アンプの出力を演算する演算器と、  
該演算器の出力を入力とする第 2 のフィルタと、  
上記第 1 及び第 2 の出力可変アンプ少なくとも一つの出力を調整することにより第 2 のフィルタの出力の位相を調整する制御手段を有する位相調整装置。

【請求項 2】

上記第 1 のフィルタは、入力信号の低周波数成分を通過させる低帯域アンプである請求項 1 記載の位相調整装置。

【請求項 3】

上記第 1 のフィルタは、基準クロック信号より高い周波数成分を取り除く低帯域アンプである請求項 2 記載の位相調整装置。

【請求項 4】

上記移相器は 90 度の位相変化を与える 90 度移相器である請求項 1 記載の位相調整装置。

【請求項 5】

上記演算器は、入力信号を加算もしくは減算する請求項 1 記載の位相調整装置。

**【請求項 6】**

上記第 2 のフィルタは、入力信号の低周波成分を有する信号もしくは基準クロック信号と等しい周波数の信号から、矩形波に変換するリミットアンプである請求項 1 記載の位相調整装置。

**【請求項 7】**

すべてアナログ回路より構成される請求項 1 記載の位相調整装置。

**【請求項 8】**

入力信号の位相を変化させる方法であって、  
上記入力信号を第 1 の信号と第 2 の信号に分岐させ、  
上記第 1 の信号と第 2 の信号に位相差を与え、  
上記第 1 の信号と第 2 の信号を合成して出力信号を得る際に、  
上記第 1 の信号と第 2 の信号の振幅を制御することにより、上記出力信号の位相を変化させる信号位相調整方法。

**【請求項 9】**

上記入力信号としてクロックまたはデータ信号の低周波成分を用い、上記出力信号から矩形波信号を形成することにより、上記クロックまたはデータ信号の位相を調整する請求項 8 記載の信号位相調整方法。

**【請求項 10】**

高速同期信号のクロックと並列データ信号間の位相差を調整する高速並列信号用スキュー補正装置において、

クロック信号とデータ信号間の位相差を調整する回路を信号受信側に搭載し、該受信側で並列データ線間のスキューが未調整で同期伝送が実現できない際もしくは一定時間間隔毎に送信側よりデータ信号の送出に先立ってスキュー調整時に使用するべく定義した規定データパターンを送出し、送信側回路から出力した信号を受信して規定データパターンに対する正誤判別し、該判別結果を受信側で正しく規定パターンが受信できるべくデータ信号とクロック信号間の位相差を受信側で調整する回路において、

該クロック信号もしくは該並列データ信号の一方の位相を、同期クロックの基底周波数の一周分位の位相を等間隔もしくは不等間隔に  $x$  個 ( $x$  は 2 以上の整数)

の時間間隔に分割して位相調整しスキュー調整する機構を搭載した高速並列信号用スキュー補正装置。

**【請求項 11】**

高速同期信号のクロックと並列データ信号間の位相差を調整する高速並列信号用スキュー補正装置において、

クロック信号と並列データ信号間の位相差を調整する回路を信号受信側に搭載し、該受信側で並列データ線間のスキューが未調整で同期伝送が実現できない際もしくは一定時間間隔毎に、送信側よりデータ信号の送出に先立ってスキュー調整時に使用するべく定義した規定データパターンを送出し、送信側回路から出力した信号を受信して規定データパターンに対する正誤判別し、該判別結果を受信側で正しく規定パターンが受信できる位相関係になるべく受信側でクロックとデータ間のスキューを調整する位相調整回路において、

該クロック信号もしくは該並列データ信号の一方の位相を、同期クロックの基底周波数の一周分位の位相を等間隔もしくは不等間隔に  $x$  個 ( $x$  は 2 以上の整数) の時間間隔に分割して位相調整し位相調整しスキュー調整するため、該クロック信号もしくは該データ信号の一方を、同期クロックの基底周波数以下の帯域を有する帯域制限アンプにてフィルタ処理の上、2つ以上の複数の信号に分岐し、分岐後の該信号を各々異なる伝搬遅延特性を有する移相器に入力し、該移相器からの信号を各々異なる可変出力アンプに入力し、該可変出力アンプからの出力を合算した後、伝送信号の基底周波数より十分高帯域な特性を有するリミットアンプに入力して該合算後の信号を矩形波に波形成形し、該波形成形後の信号を、該被整形信号の対となる並列データ信号もしくはクロック信号と共にフリップフロップ回路に入力してリタイミング処理を行う回路を持ち、該回路に搭載した複数の可変アンプの出力を個別に調整する事で、位相を調整するデータ信号もしくはクロック信号のリミットアンプからの出力信号の位相を、信号成分を保持したまま  $x$  段階に位相調整し、該調整機能を用いてクロック信号とデータ信号の位相差の調整を実現した高速並列信号用スキュー補正装置。

**【請求項 12】**

高速同期信号のクロックと並列データ信号間の位相差を調整する高速並列信号用



スキュー補正装置において、クロック信号と並列データ信号間の位相差を調整する回路を信号受信側に搭載し、該受信側で並列データ線間のスキューが未調整で同期伝送が実現できない際もしくは一定時間間隔で送信側よりデータ信号の送出に先立ってスキュー調整時に使用するべく定義した規定データパターンを送出し、送信側回路から出力した信号を受信して規定データパターンに対する正誤判別し、判別結果を受信側で正しく規定パターンが受信できる位相関係になるべくデータ信号とクロック信号間の位相差をデータの受信側で調整する回路において、該クロック信号もしくは該データ信号の一方の位相を、同期クロックの基底周波数の一周期分の位相を等間隔もしくは不等間隔に  $x$  個 ( $x$  は 2 以上の整数) の時間間隔に分割して位相調整するため、該クロック信号もしくは該データ信号の一方を、同期クロックの基底周波数以下の帯域を有する帯域制限アンプにてフィルタ処理の上、2つ以上の複数の信号に分岐し、分岐後の該信号を各々異なる伝搬遅延特性を有する移相器に入力し、該移相器からの信号を各々異なる可変出力アンプに入力し、該可変出力アンプからの出力を加減算器にて合算もしくは減算した後、伝送信号の基底周波数より十分高帯域な特性を有するリミットアンプに入力して該加減算後の信号を矩形波に波形成形し、該波形成形後の信号を、該信号の対となるデータ信号もしくはクロック信号と共にフリップフロップ回路に入力してリタイミング処理を行う回路を用い、該回路に搭載した複数の可変アンプの出力を個別に調整し、さらに加減算機能を切替え使用する事で、位相を調整するデータ信号もしくはクロック信号のリミットアンプからの出力信号の位相を、信号成分を保持したまま  $x$  段階に位相調整し、該調整機能を用いてクロック信号とデータ信号の位相差の調整を実現した高速並列信号用スキュー補正装置。

【請求項 13】

請求項 10 から 12 のいずれかひとつの高速並列信号用スキュー補正装置において、位相調整の分割数  $x$  および、位相調整の時間間隔のいずれかもしくはその両方を可変調整できる回路を搭載した、高速並列信号用スキュー補正装置。

【請求項 14】

請求項 10 から 13 のいずれかひとつの高速並列信号用スキュー補正装置において、位相シフタ内部の各可変出力アンプの前段に搭載した移相器の全てもしくは

一部の伝搬遅延特性を可変調整する回路と搭載した、高速並列信号用スキュー補正装置。

**【請求項 1 5】**

請求項 1 0 から 1 4 のいずれかひとつの高速並列信号用スキュー補正装置において、スキュー補正用の規定データパターンにイーサネット（登録商標）標準で用いる 8 B 1 0 B コードもしくは 6 4 B 6 6 B コードのスペシャルキャラクタの組合せデータパターンを使用する高速並列信号用スキュー補正装置。

**【発明の詳細な説明】**

**【 0 0 0 1 】**

**【発明の属する技術分野】**

本発明は、高性能ネットワーク機器や計算機システム内部の並列同期データとクロック信号間の伝搬遅延時間差（スキュー）を補正（リタイミング）する電子回路装置に関するものである。

**【 0 0 0 2 】**

高性能ネットワーク機器や計算機システムの装置内部、装置間のデータ接続系を大容量化するには、並列光リンクの使用が有効である。並列光リンクとは装置内・装置間の短距離データ通信接続において、発光素子、受光素子と光ファイバからなる光信号伝送系を並列駆動して信号伝送する通信技術である。並列光リンクの使用により、大容量データ通信接続を小型装置規模かつ低遅延に実現することができる。

**【 0 0 0 3 】**

並列光リンクを用いて大容量信号を並列同期通信するには、並列データ、クロック両チャネル間のスキューを補正し、並列チャネル間の信号の同期関係を保つ必要がある。従来の計算機システムにおける内部並列信号のスキュー補正には、主に二つの技術が用いられている。一つは遅延素子等を用いてクロック・データ間の小さいスキュー（一クロック周期以下）を補正する技術、もう一つはフレーム同期と呼ばれるロジック回路を用いて一クロック周期以上の大きいスキュー補正を実施する技術である。

**【 0 0 0 4 】**

本発明はこの内、クロック・データ間の小さなスキューを高精度に補正する技術に属する。通信のブロードバンド化に伴いクロック速度も非常に高速化してきており、2002年時点では10ギガビット毎秒のクロック速度での通信も実用化されている。本発明は、この10ギガビット毎秒クラスの非常に高速なクロックを用いた大容量通信への適用を前提としている。

#### 【0005】

##### 【従来の技術】

##### 【特許文献1】

特許第312788号

##### 【特許文献2】

特開平10-320074号

##### 【特許文献3】

特開平10-200401号

##### 【特許文献4】

特開2000-101554号

##### 【特許文献5】

特開平9-69829号

##### 【非特許文献1】

IEEE Journal of Lightwave Technology, 12巻、第260頁から第270頁

クロック・データ間のスキューを補正する技術として、以下の4つの技術がある。第一に多段のゲート回路を用いてデータの遅延時間を調整する方式、第二にフリップフロップ回路を用いる方式、第三にフェーズロックドループ回路を用いる方式、第四に微分もしくは積分回路を用いて位相調整する方式がある。

#### 【0006】

第一の多段ゲート回路を用いる方式は、特許第312788で用いられている。多段のゲート回路にデータを入力し、出力をセレクト回路で選択する事でクロック・データ間のスキューを調整する。

#### 【0007】

第二のフリップフロップ回路を用いる方式は、特開平10320074、および高井厚志らが雑誌IEEE Journal of Lightwave Technology, 12巻、第260頁から第270頁にて報告している。特開平10320074では、多段のディレイラインをシフトレジスタで制御し、180度位相の異なる二つのクロックでラッチして、いずれか適した位相関係のデータ信号を選択出力する回路方式を用いている。高井厚志らが雑誌IEEE Journal of Lightwave Technologyに報告している方法は、一段のフリップフロップ回路においてデータ信号をクロックでラッチする事によりデータ・クロック間の位相を制御している。

#### 【0008】

第三のフェーズロックドループ回路を用いた方式は特開平10-200401に報告されている。フェーズロックドループ回路もしくは同様の回路構造をもつクロックデータリカバリー回路を用いたクロックデータ間のスキュー調整は、イーサネット（登録商標）やATM通信で一般的に用いられている方式である。

#### 【0009】

第四の微積分のアナログ回路を用いる方式は、特開2000-101554と特開平9-69829に報告されている。特開2000-101554では基準クロック信号と受信データ信号から抽出したクロック成分信号の位相を積分回路の出力から判定する回路構造を有する。特開平9-69829の方法は、送信側でローパスフィルタを用いてクロック信号の周波数成分を制限して送信し、位相調整を実現する。微積分回路は、一般的にはLCR回路と呼ばれておりインダクタL、キャパシタC、抵抗成分Rの3つの集中定数素子の値を調整する事によりアナログ的に位相調整する事が可能である。

#### 【0010】

##### 【発明が解決しようとする課題】

本発明が解決しようとする課題は、クロック・データ間の小さい（一クロック周期以下）スキューを補正し同期化する回路において、スキュー補正量の精度向上と、回路規模の小型化の二つの要求を両立したスキュー補正を実現する事にある。

## 【0011】

本発明が対象とする数10ギガビット毎秒クラスの大容量通信においては、10ギガビット毎秒クラスの高速度データ伝送系を並列使用して通信の大容量並列同期伝送を実現する方法がコスト上有利である。10ギガビット毎秒のクロック速度においては、クロック周期は100ピコ秒と非常に小さくなる。故にクロック・データ間のスキュー調整においても、クロック周期の5%程度つまり5ピコ秒よりも分解能と調整精度の高いスキュー補正精度が必要になる。さらに、装置システムの低コスト化には、回路集積による小型化と部品点数の削減が必要であるが、そのためには、各回路の回路規模を集積化小型化する必要がある。具体的に例えば100ギガビットのデータ伝送を実現する場合、10ギガビット毎秒のデータ伝送系は10チャンネル並列使用する必要があり、この場合、装置システムを構成する通信用LSIは10ギガビット毎秒のデータチャンネルを10チャンネル以上（できれば100チャンネル規模）一つのチップに集積化する必要がある。このため、回路規模は小さいほど望ましい。

## 【0012】

前述の通りクロック・データ間のスキューを補正する従来技術は、4種類報告されているが、スキュー補正の精度もしくは回路規模のいずれかに問題があり、本発明が要求する数ピコ秒のスキュー補正精度と、100チャンネル以上の集積化を可能とする小型回路の二つを両立する技術は存在しない。

## 【0013】

特許第312788で用いられている多段ゲート回路を用いる方式は、アンプゲート回路一段の遅延量は最小でも数10ピコ秒であり、このアンプゲートを多段に組合せて遅延量を制御する場合、その精度はアンプゲート一段分の遅延量（数10ピコ秒）を下回る事は不可能である。故に本発明が要求する数ピコ秒のスキュー補正精度の実現は難しい。

## 【0014】

特開平10320074、および高井厚志らが雑誌IEEE Journal of Lightwave Technology, 12巻、第260頁から第270頁にて報告しているフリップフロップ回路を用いる方式はスキュー補正

可能な時間範囲が非常に狭い。フリップフロップ回路は、クロックのセットアップ時間とホールドタイム時間の間はデータ信号の遷移（0から1、もしくは1から0に信号が変化する事）を許容しないため、実質的には（セットアップ/ホールド時間合わせて）クロック周期の50%程度の時間範囲（10ギガビット毎秒の信号では50ピコ秒）に変化タイミングが存在するデータ信号に対してはスキュー補正が出来ず、ごく狭い約50ピコ秒の範囲でしかスキュー補正が出来ない。本発明ではクロック・データ間のスキューは一クロックの周期内で任意の大きさとなる事を想定しており、フリップフロップ回路を用いる方法は使用できない。

#### 【0015】

特開平10-200401に報告されているフェーズロックドループ回路を用いた方式は、クロック・データ間のスキュー制御は数ピコ秒以下の非常に高い精度で実現できる。しかしながら、フェーズロックドループ回路はゲート遅延回路やフリップフロップ回路と比較して数10倍の回路規模を有するため、多数個を集積する用途には不向きである。

#### 【0016】

特開2000101554と特開平9-69829に報告されているアナログLCR回路を用いる方式は、素子サイズの大きいインダクタやキャパシタが必要のため回路規模がゲート遅延回路やフリップフロップ回路と比較して大きくなり集積化に不向きである。また、スキュー調整の為には遅延量の可変制御を実現する必要がある、LCR素子で可変制御を実現するには、パッシブ素子（LCR）の特性値を可変制御する必要がある。パッシブ素子の特性値は、精度良くしかも早い反応速度で制御するのが難しい。故にアナログLCR回路を高速信号のスキュー制御に使用する事は難しい。

#### 【0017】

##### 【課題を解決するための手段】

本発明の思想の一観点では、入力信号の位相を変化させる方法において、入力信号を第1の信号と第2の信号に分岐させ、第1の信号と第2の信号に位相差を与え、第1の信号と第2の信号を合成して出力信号を得る際に、第1の信号と第

2の信号の振幅を制御することにより、出力信号の位相を変化させる。入力信号としてクロックまたはデータ信号の低周波成分を用い、出力信号から矩形波信号を形成することにより、クロックまたはデータ信号の位相を調整することができる。

#### 【0018】

具体的な回路構成を例示すれば、本発明ではアナログアンプを並列に使用し、アンプの出力を制御する事によりデータ信号もしくはクロック信号の位相を制御する。クロックもしくはデータ信号を低帯域アンプに通し、まず搬送波クロック成分より高いクロック成分を除去する（例えば10ギガビット毎秒の信号の場合、10ギガヘルツが搬送波クロック成分となる）。

#### 【0019】

低帯域アンプを通過した信号を分岐し、各々異なる遅延量を有するアンプに入力する。アンプ自身が異なる遅延量を持っていてもよいし、アンプに直列に遅延回路や位相変化回路を挿入しても良い。各アンプからの出力は再び合波し、リミットアンプ等を通過させて矩形波に戻して出力する。この際、各アンプの出力を制御する事により合成して出力する信号の位相は微小にアナログ制御可能である。

アンプの出力は、無段階に高速可変制御可能であり、本発明の適用先が要求する数ピコ秒精度の位相制御が実現可能であり、更には高速信号回路にも十分適用可能である。また最小4個の小型アンプで回路構成が可能なため回路規模が小さく、数100個レベルを集積回路化してLSIに搭載することも容易である。このようにアンプゲートを組合せた回路構成を採用する事で、高精度かつ小型回路規模のスキュー補正装置を実現した。

#### 【0020】

##### 【発明の実施の形態】

##### 【実施例1】

以下、図面を参照して本発明の実施の形態を説明する。以下の例では、理解を容易にするために具体的数値を用いて説明するが、これらの数値はあくまでも例示であり、本発明がこれらの数値に限定することを意味するものではない。

図2は本発明による並列リンク用スキュー補正装置を搭載したデータ通信システム（データ3チャンネルと搬送クロック1チャンネルを通信）のブロック図である。図3は本発明による並列リンク用スキュー補正装置を搭載したデータ通信システム（データ3チャンネルを通信）のブロック図である。

#### 【0021】

図2の例は、入力並列データチャンネルD1、D2、D3と入力クロックチャンネルCLKとの間の伝搬遅延時間差（スキュー）を補正し、内部同期回路の入力段において、D1、D2、D3、CLKの全4チャンネルの位相が揃った同期状態にする回路構成である。D1、D2、D3、CLKは送信側からは位相の揃った同期状態で送出するが、信号伝搬路の特性ばらつき等により伝搬時間に差が生じる。その結果、受信側ではクロックと各データ信号間の位相が不揃いになるため、クロックと各データ信号間の遅延時間を調整して、正しく受信側が信号受信できる様に制御する必要がある。図2の回路においては、送信側から位相判定用に規定した規則パターン（8B10Bコードにおけるスペシャルキャラクタ）を送出し、受信側では該規則パターンが正しく（エラー無く）規則通りに受信できるかを判定し、規則通りに受信出来るタイミング位置にデータ信号の位相を調整する。位相シフタ1、2、3は入力データチャンネルD1、D2、D3を、クロックCLK信号をフェーズロックループでリタイミングと波形成形したCLKP信号に対する位相と調整し、判別器1、2、3に送信する。判別器1、2、3ではデータ信号を受信し、その受信データの正誤を判定する。本例ではクロック信号の位相を一周の周期内で4つの異なる値に変化させて、正しく規定したデータパターンを判別器で判定できる位相を探索制御する。データ信号の位相を調整し、正しく判定出来るタイミング位置（この例ではデータの中心位置にクロックCLKPの変化位置が来るタイミングで正しく受信できる）。を決定出来たデータ信号は、FIFO1、2、3にて位相シフタ1、2、3内で位相調整したクロック信号から、内部クロック信号CLKPにリタイミングする。この結果、内部論理回路の入力端では、データ信号D1、D2、D3はクロック信号CLKPに同期した並列信号として扱う事が可能となる。

図3の例は、入力並列データチャンネルD1、D2、D3の間の伝搬遅延時間差（



スキュー)を補正し、内部同期回路の入力段において、D1, D2, D3の全3チャンネルの位相をD3から分岐してクロックデータリカバリー回路CDRで生成したクロック信号を基準に位相が揃った同期状態にする回路構成である。D1, D2, D3は送信側からは位相の揃った同期状態で送出するが、信号伝搬路の特性ばらつき等により伝搬時間に差が生じる。その結果、受信側ではクロックと各データ信号間の位相が不揃いになるため、クロックと各データ信号間の遅延時間を調整して、正しく受信側が信号受信できる様に制御する必要がある。図3の回路においては、送信側から位相判定用に規定した規則パターン(8B10Bコードにおけるスペシャルキャラクタ)を送出し、受信側では該規則パターンが正しく(エラー無く)規則通りに受信できるかを判定し、規則通りに受信出来るタイミング位置にデータ信号の位相を調整する。位相シフタ1, 2, 3は入力データチャンネルD1, D2, D3を、D3からタイミング抽出したクロックCLKP信号に対する位相と調整し、判別器1, 2, 3に送信する。判別器1, 2, 3ではデータ信号を受信し、その受信データの正誤を判定する。本例ではクロック信号CLKPの位相を一クロックの周期内で4つの異なる値に変化させて、正しく規定したデータパターンを判別器で判定できる位相を探索制御する。データ信号の位相を調整し、正しく判定出来るタイミング位置(この例ではデータの中心位置にクロックCLKPの変化位置が来るタイミングで正しく受信できる)。を決定出来たデータ信号は、FIFO1, 2, 3にて位相シフタ1, 2, 3内で位相調整したクロック信号から内部クロック信号CLKPにリタイミングする。この結果、内部論理回路の入力端では、データ信号D1, D2, D3はクロック信号CLKPに同期した並列信号として扱う事が可能となる。

図1には図2もしくは図3の例で用いる位相シフタの内部回路構造を示す。

図4は図1の位相シフタの内部の低帯域アンプの入力クロックと出力クロックの波形図である。

図5は図1の位相シフタの内部の各段の信号の波形図である。

図6は図1の位相シフタの内部のリミッタアンプの入力信号波形図である。可変出力アンプの出力を3段階に調整した場合の波形を示している。

図1の例ではデータ信号に対するクロック信号の位相を、アンプを組合せたアナ

ログ回路にて調整する。本例では図5に示すように立上り立ち下りの交互エッジを用いるクロック信号を使用する。本回路ではクロックの基底周波数成分（一次成分）をアナログ回路で位相シフトし、リミッタアンプで矩形波に波形整形し、データとクロックの間の位相を合わせる。図1の例においては、図4に示すように入力クロック信号は、低帯域アンプによって基準クロック信号より高い周波数成分が取り除かれる（基準クロック信号は5ギガヘルツの正弦波となる）。5ギガヘルツの正弦波を二分岐し、分岐信号の一方は直接可変アンプAに入力し、もう一方の分岐信号は90度位相をシフト（50ピコ秒の遅延時間に相当）し、可変アンプBに入力する。可変アンプAとBの出力は合波後にリミッタアンプを通して、正弦波から矩形波に変換して出力する。リミッタアンプからの出力は可変アンプA、Bの出力ゲインの調整次第で変化可能である。

#### 【0022】

図6にリミッタアンプ入力側の信号波形を示す。入力信号の振幅を

$$V=A \cdot \sin(\omega t) + B \cdot \sin(\omega t - \pi/2)$$

と表記する。但しA、Bは各可変アンプA、Bの出力、 $\omega$ は基底周波数の角速度、 $t$ は時間、 $V$ は信号の振幅を表す。図6の $A=1$ 、 $B=0$ の表記は、可変アンプA側の出力をオン（出力最大）とし、可変アンプB側の出力はゼロ（アンプ動作なし）を示す。 $A=1$ 、 $B=1$ の表記は、可変アンプA側の出力をオン（出力最大）とし、可変アンプB側もオン（出力最大）とする状態を示す。 $A=0$ 、 $B=1$ の表記は、可変アンプA側の出力はオフ（アンプ動作なし）とし、可変アンプB側の出力はオン（出力最大）を示す。図6に示す様に、二つの可変アンプ出力を調整する事で、正弦波出力の波形はシフトする（振幅も変動する）事がわかる。

#### 【0023】

図7は本発明の位相シフタの内部のリミッタアンプの出力信号を示す。可変出力アンプの出力を3段階に調整したものの波形図である。

#### 【0024】

図8は 本発明の位相シフタの内部のリミッタアンプの出力信号で可変出力アンプの出力を3段階に調整したものであって、トリガポイントの3ヶ所を表示し

た波形図である。

図6に示す信号出力をリミットアンプに入力する事により、該アンプからの出力は図7に示す矩形波に変換される。図7に示す通り、クロック信号の矩形波は二つの可変アンプの出力値の調整値に応じて、0度、45度、90度の3段階に変化したタイミングのクロック信号が生成できている（トリガポイント1, 2, 3の時間位置；図8）。本実施例の装置においては、一クロック周期（0度から180度）の間で3つのトリガポイントを用意し、該3トリガポイントから受信エラーの生じないタイミングを選定して、後段の同期回路の出力する機能を実現する。

#### 【0025】

本実施例1に記載の位相調整機構において、90度の位相調整器の位相調整量の精度が+50%の誤差を持った場合（90度の移相設定が135度の位相となった場合）のリミッタアンプの入力と出力を図9, 10に示す。図6と図7の例と比較するとトリガポイントの位置がずれてはいるが、0度、約67.5度、約135度の3段階に変化したタイミングのクロック信号が生成できている。位相調整間隔が完全に等間隔ではないが、一クロック周期（0度から180度）の間を3分割している。図6の例と同様に3回のスペシャルキャラクタ観測の際、エラー無しで観測できる機能を図6, 7の例と同様に実現している。この結果は、一クロック周期内を必ずしも等間隔ではなく3回測定するという目的を達成するには、90度の位相調整器の位相精度は、+50パーセント程度の粗い精度でも十分である事を示している。これは、回路を実際に作成する際に、回路定数の製造余裕度が緩和可能な事を表しており、高精度制御が難しい高速回路の製造上、非常に有利である。

#### 【0026】

##### 【実施例2】

以下、図面を参照して本発明の実施の形態を説明する。以下の例では、理解を容易にするために具体的数値を用いて説明するが、これらの数値はあくまでも例示であり、本発明がこれらの数値に限定することを意味するものではない。

#### 【0027】

本発明の並列光リンク用スキュー補正装置の構造の一例を図2に示す。図2の例は、入力並列データチャンネルD1、D2、D3と入力クロックチャンネルCLKとの間の伝搬遅延時間差（スキュー）を補正し、内部同期回路の入力段において、D1、D2、D3、CLKの全4チャンネルの位相が揃った同期状態にする回路構成である。D1、D2、D3、CLKは送信側からは位相の揃った同期状態で送出するが、信号伝搬路の特性ばらつき等により伝搬時間に差が生じる。その結果、受信側ではクロックと各データ信号間の位相が不揃いになるため、クロックと各データ信号間の遅延時間を調整して、正しく受信側が信号受信できる様に制御する必要がある。図2の回路においては、送信側から位相判定用に規定した規則パターン（8B10Bコードにおけるスペシャルキャラクタ）を送出し、受信側では該規則パターンが正しく（エラー無く）規則通りに受信できるかを判定し、規則通りに受信出来るタイミング位置にデータ信号の位相を調整する。位相シフタ1、2、3は入力データチャンネルD1、D2、D3を、クロックCLK信号をフェーズロックループでリタイミングと波形成形したCLKP信号に対する位相と調整し、判別器1、2、3に送信する。判別器1、2、3ではデータ信号を受信し、その受信データの正誤を判定する。本例ではクロック信号の位相を一クロックの周期内で4つの異なる値に変化させて、正しく規定したデータパターンを判別器で判定できる位相を探索制御する。データ信号の位相を調整し、正しく判定出来るタイミング位置（この例ではデータの中心位置にクロックCLKPの変化位置が来るタイミングで正しく受信できる）。を決定出来たデータ信号は、FIFO1、2、3にて位相シフタ1、2、3内で位相調整したクロック信号から、内部クロック信号CLKPにリタイミングする。この結果、内部論理回路の入力端では、データ信号D1、D2、D3はクロック信号CLKPに同期した並列信号として扱う事が可能となる。

#### 【0028】

図11には位相シフタの内部回路構造を示す。データ信号に対するクロック信号の位相を、アンプを組合せたアナログ回路にて調整する。クロック信号は、低帯域アンプによって基準クロック信号より高い周波数成分が取り除かれる。本例では10ギガビット毎秒で立上り立ち下がり交互エッジを用いるクロック信号

を使用のため、基準クロック信号は5ギガヘルツの正弦波となる。5ギガヘルツの正弦波を二分岐し、分岐信号の一方は直接可変アンプAに入力し、もう一方の分岐信号は90度位相をシフト（50ピコ秒の遅延時間に相当）し、可変アンプBに入力する。可変アンプAとBの出力は加減算器を通過後、リミットアンプを通して、正弦波から矩形波に変換して出力する。加減算器は、可変アンプAの出力VAと可変アンプBの出力VBを加算し（VA+VB）を出力するモードと、可変アンプAの出力VBから可変アンプBの出力VAを減算し（VB-VA）を出力するモードの二つを切り替えて使用する。リミットアンプからの出力は可変アンプA、Bの出力ゲインの調整次第で変化可能である。

### 【0029】

図12には加減算器の内部構造を示す。差動増幅回路にバランス入力する構造を有し、セレクタの制御信号を切り替える事により、加減算機能の切換えが可能である。セレクタで加算を選択した場合、抵抗R2の入力端子には0Vが係る。セレクタで減算を選択した場合、抵抗R3の入力端子には0Vが係る。

### 【0030】

図13にリミットアンプ入力側の信号波形を示す。ここで、可変出力アンプの出力を4段階に調整している。入力信号の振幅を

$$V=A \cdot \sin(\omega t) + B \cdot \sin(\omega t - \pi/2)$$

と表記する。但しA、Bは各可変アンプA、Bの出力、 $\omega$ は基底周波数の角速度、 $t$ は時間、 $V$ は信号の振幅を表す。図13のA=1、B=0の表記は、可変アンプA側の出力をオン（出力最大）とし、可変アンプB側の出力はゼロ（アンプ動作なし）を示す。A=1、B=1の表記は、可変アンプA側の出力をオン（出力最大）とし、可変アンプB側もオン（出力最大）とし、可変アンプA、Bの両出力を加算する状態を示す。A=0、B=1の表記は、可変アンプA側の出力はオフ（アンプ動作なし）とし、可変アンプB側の出力はオン（出力最大）を示す。A=1、B=1の表記は、可変アンプA側の出力をオン（出力最大）とし、可変アンプB側もオン（出力最大）とし、可変アンプBの出力から可変アンプAの出力を減算する状態を示す。

図13に示す様に、二つの可変アンプ出力を調整する事で、正弦波出力の波形は

シフトする（振幅も変動する）事がわかる。この図 1 3 に示す信号出力をリミッタンプに入力する事により、該アンプからの出力は図 1 4 に示す矩形波に変換する。図 1 4 において、可変出力アンプの出力を 4 段階に調整している。

図 1 4 に示す通り、クロック信号の矩形波は二つの可変アンプの出力値の調整値に応じて、0 度、4 5 度、9 0 度、1 3 5 度の 4 段階に変化した 4 つのタイミングのクロック信号が生成できている。

図 1 5 は、図 1 1、図 1 2 に記載の本発明の位相シフタの内部のリミッタンプの出力信号波形図であって、トリガポイント 1、2、3、4 の 4 ヶ所の時間位置を表示している。可変出力アンプの出力を 4 段階に調整した場合である。本実施例の装置においては、一クロック周期（0 度から 1 8 0 度）の間で 4 つのトリガポイントを用意し、該 4 トリガポイントから受信エラーの生じないタイミングを選定して、後段の同期回路の出力する機能を実現する。

#### 【0 0 3 1】

更に可変アンプ A、B の両出力をオフ、最大出力の半分、最大出力と三段階調整し、その組合せにより更に細かく 8 段階の位相調整が可能である。

図 1 6 にリミッタンプ入力側の信号波形を示す。可変出力アンプの出力を 8 段階に調整した場合である。入力信号の振幅を

$$V = A \cdot \sin(\omega t) + B \cdot \sin(\omega t - \pi/2)$$

と表記する。但し A、B は各可変アンプ A、B の出力、 $\omega$  は基底周波数の角速度、 $t$  は時間、 $V$  は信号の振幅を表す。ここで以下の 8 通りに二つの可変アンプを制御する事で位相を一クロック周期内で 8 段階に制御できる。1 はアンプの出力最大、0. 5 は最大出力の半分、0 は出力オフを表し、正負の符号は加減算器で加算の場合は正、減算の場合は負で表記する。

#### 【0 0 3 2】

- (1)  $A = 1, B = 0$
- (2)  $A = 1, B = 0. 5$
- (3)  $A = 1, B = 1$
- (4)  $A = 0. 5, B = 1$
- (5)  $A = 0, B = 1$

(6)  $A = 0.5$ ,  $B = 1$

(7)  $A = 1$ ,  $B = 1$

(8)  $A = 1$ ,  $B = 0.5$

図 16 に示す様に、二つの可変アンプ出力を調整する事で、正弦波出力の波形はシフトする（振幅も変動する）事がわかる。この図 16 に示す信号出力をリミットアンプに入力する事により、該アンプからの出力は図 17 に示す矩形波に変換する。図 17 は可変出力アンプの出力を 8 段階に調整した場合である。

図 17 に示す通り、クロック信号の矩形波は二つの可変アンプの出力値の調整値に応じて、0 度から 180 度の間で 8 段階に変化した 8 つのタイミングのクロック信号が生成できる。可変アンプの出力値をより細かく制御する事で更に精度の高い位相制御も可能である。

### 【0033】

#### 【実施例 3】

実施例 1 に記載の高速並列信号用スキュー補正装置において、位相シフタの内部回路に図 1 に記載の構造に代えて、図 18 に記載の構造を採用した。

図 18 に記載の位相シフタでは、90 度の位相シフタに可変の位相量調整機構を搭載する。例えば位相シフト量を初期値の 90 度から 135 度に変更する事により、実施例 1 の機能動作から、位相調整の時間間隔を調整を可能とする下記の動作が実現できる。

### 【0034】

図 9 にリミットアンプ入力側の信号波形を示す。入力信号の振幅を

$$V = A \cdot \sin(\omega t) + B \cdot \sin(\omega t - 3\pi/4)$$

と表記する。但し A、B は各可変アンプ A、B の出力、 $\omega$  は基底周波数の角速度、 $t$  は時間、 $V$  は信号の振幅を表す。図 9 の  $A = 1$ 、 $B = 0$  の表記は、可変アンプ A 側の出力をオン（出力最大）とし、可変アンプ B 側の出力はゼロ（アンプ動作なし）を示す。 $A = 1$ 、 $B = 1$  の表記は、可変アンプ A 側の出力をオン（出力最大）とし、可変アンプ B 側もオン（出力最大）とする状態を示す。 $A = 0$ 、 $B = 1$  の表記は、可変アンプ A 側の出力はオフ（アンプ動作なし）とし、可変アンプ B 側の出力はオン（出力最大）を示す。図 9 に示す様に、二つの可変アンプ出

力を調整する事で、正弦波出力の波形はシフトする（振幅も変動する）事がわかる。この図9に示す信号出力をリミットアンプに入力する事により、該アンプからの出力は図10に示す矩形波に変換する。図10に示す通り、クロック信号の矩形波は二つの可変アンプの出力値の調整値に応じて、0度、67.5度、135度の3段階に変化した3つのタイミングのクロック信号が生成できる。本実施例の装置においては、一クロック周期（0度から180度）の間で3つのトリガポイントを用意し、該3トリガポイントから受信エラーの生じないタイミングを選定して、後段の同期回路の出力する機能を実現する。

#### 【0035】

##### 【実施例4】

実施例2に記載の高速並列信号用スキュー補正装置において図19に記載のように、90度移相器に移相量の微調整回路を搭載し、使用環境の温度変化や製造ばらつき等が原因で規定の90度から移相量からずれた場合、移相量を調整する事を可能にした。

#### 【0036】

調整機構の導入により、可変周波数対応も可能となる。例えば1ギガビット毎秒の信号の周期は2ナノ秒である。よってその4分の1である500ピコ秒から50ピコ秒までの範囲で、遅延時間調整が可能な回路を調整機構に搭載する事により、1ギガビット毎秒から10ギガビット毎秒までの任意の周波数に対して実施例2で必要な位相シフトを実現した。

#### 【0037】

##### 【発明の効果】

本発明によると、10ギガビット毎秒クラスの高速度信号の並列同期伝送に必要なクロックとデータ信号間のスキュー調整を、数ピコ秒の高精度と、高密度集積に有利な小型回路規模をもって実現する事ができ、10ギガビット毎秒の高速度データを多数チャネル並列使用した並列同期信号の受信端での位相調整が容易に実現できる。また、内部回路に搭載した90度の位相シフトには位相調整量を微調整する回路を搭載する事により、トランジスタ特性のばらつきによる90度位相シフト量の誤差を補正する事を可能にすると共に、微調整量を大きくとる事で可



変周波数動作にも対応可能とした。

【図面の簡単な説明】

【図 1】

本発明による位相シフタの内部構造回路図。

【図 2】

本発明による並列リンク用スキュー補正装置を搭載したデータ通信システムの一例のブロック図。

【図 3】

本発明による並列リンク用スキュー補正装置を搭載したデータ通信システムの他の例のブロック図。

【図 4】

本発明の位相シフタの内部の低帯域アンプの入力クロックと出力クロックの波形図。

【図 5】

本発明の位相シフタの内部の各段の信号の波形図。

【図 6】

本発明の位相シフタの内部のリミッタアンプの入力信号で可変出力アンプの出力を 3 段階に調整したものの波形図。

【図 7】

本発明の位相シフタの内部のリミッタアンプの出力信号で可変出力アンプの出力を 3 段階に調整したものの波形図。

【図 8】

本発明の位相シフタの内部のリミッタアンプの出力信号で可変出力アンプの出力を 3 段階に調整したものであって、トリガポイントの 3 ヶ所を表示した波形図。

【図 9】

本発明の位相シフタの内部のリミッタアンプの出力信号であって、可変出力アンプの出力を 3 段階に調整し、90 度移相器の位相調製量が +50 % の誤差を持った場合の波形図。

**【図 10】**

本発明の位相シフタの内部のリミッタアンプの出力信号であって、可変出力アンプの出力を3段階に調整し、90度移相器の位相調製量が+50%の誤差を持った場合のトリガポイントの3ヶ所を表示した波形図。

**【図 11】**

本発明による位相シフタの内部構造概念図。可変アンプ出力を加減算器で処理する。

**【図 12】**

本発明による可変アンプ出力を加減算処理する加減算器の内部回路図。

**【図 13】**

図 11、図 12 に記載の本発明の位相シフタの内部のリミッタアンプの入力信号波形図。

**【図 14】**

図 11、図 12 に記載の本発明の位相シフタの内部のリミッタアンプの出力信号波形図。

**【図 15】**

図 11、図 12 に記載の本発明の位相シフタの内部のリミッタアンプの出力信号波形図。

**【図 16】**

図 11、図 12 に記載の本発明の位相シフタの内部のリミッタアンプの入力信号波形図。

**【図 17】**

図 11、図 12 に記載の本発明の位相シフタの内部のリミッタアンプの出力信号波形図。

**【図 18】**

図 1 に記載の位相シフタにおいて、固定の位相調整量を持つ移相器に換えて、移相器に位相調整量の微調整機構を搭載した位相シフタ回路図。

**【図 19】**

図 11 に記載の位相シフタにおいて、固定の位相調整量を持つ移相器に換えて

、移相器に位相調整量の微調整機構を搭載した位相シフト回路図。

【符号の説明】

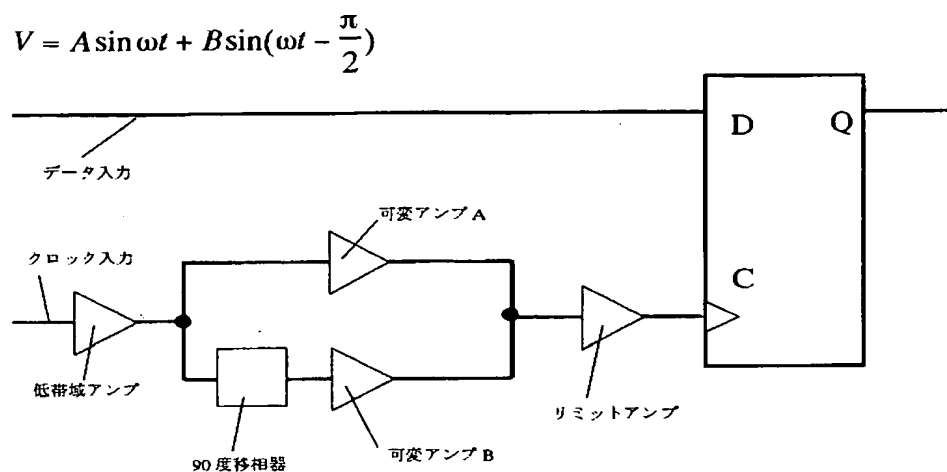
D 1…伝送データ信号 1、D 2…伝送データ信号 2、D 3…伝送データ信号 3、CLK…伝送クロック信号、D01…位相シフトデータ信号 1、D02…位相シフトデータ信号 2、D03…位相シフトデータ信号 3、DF 1…判別器出力データ信号 1、DF 2…判別器出力データ信号 2、DF 3…判別器出力データ信号 3、DL 1…同期データ信号 1、DL 2…同期データ信号 2、DL 3…同期データ信号 3、CLKP…内部クロック信号、PLL…フェーズロックドループ、CDR…クロックデータリカバリ回路、 $\omega$ …搬送波クロックの角速度。

【書類名】

図面

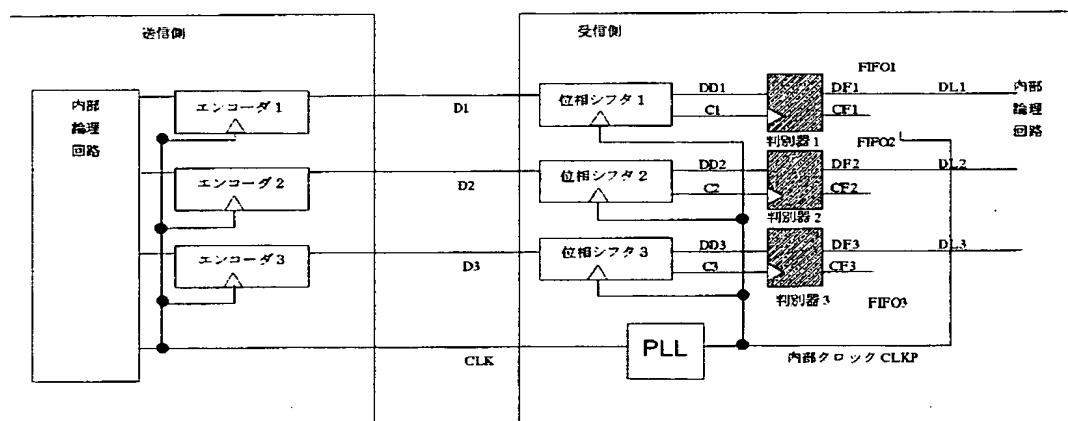
【図 1】

図 1



【図 2】

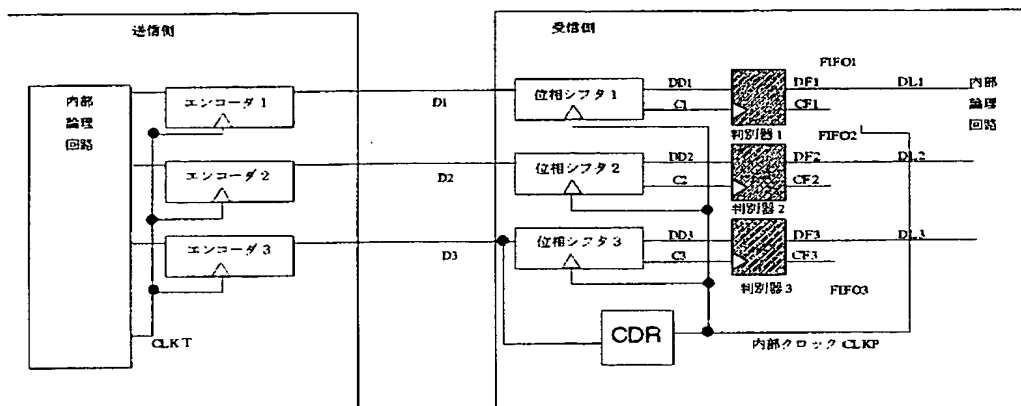
図 2



BEST AVAILABLE COPY

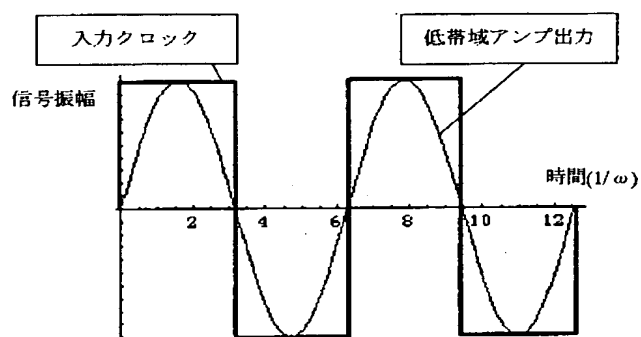
【図 3】

図 3



【図 4】

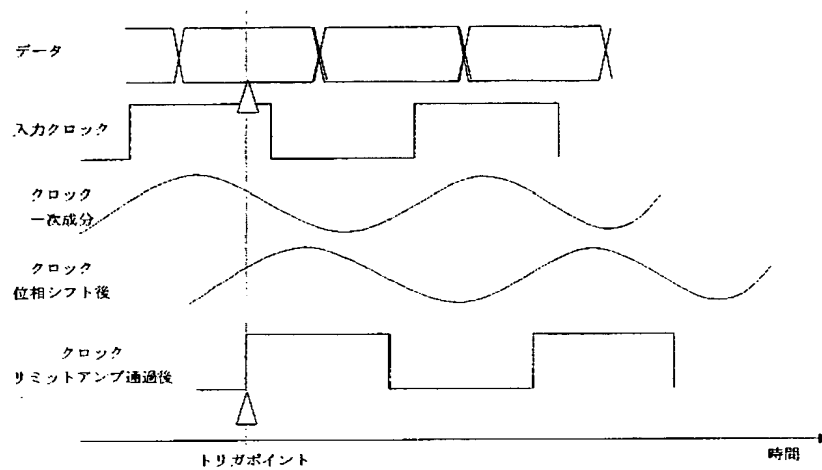
図 4



BEST AVAILABLE COPY

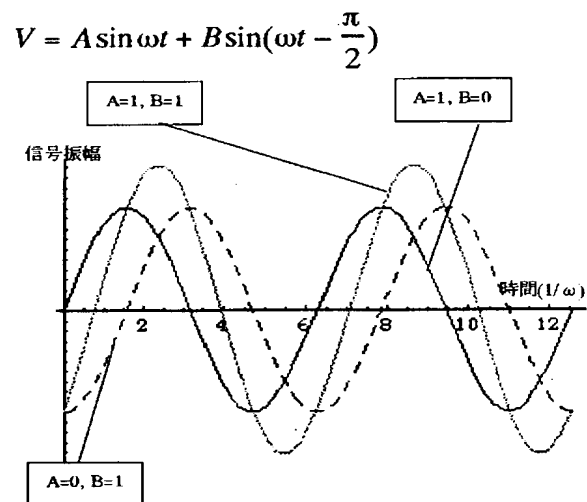
【図 5】

図 5



【図 6】

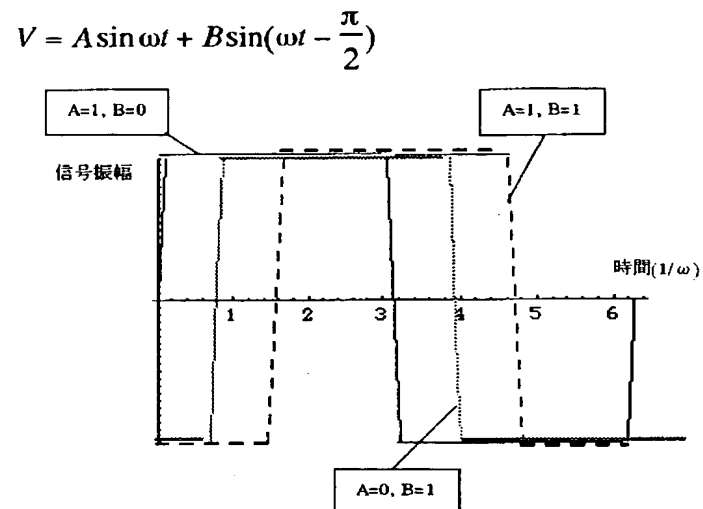
図 6



BEST AVAILABLE COPY

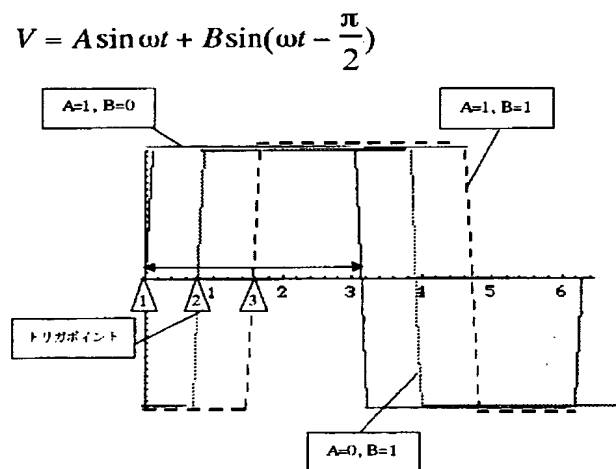
【図 7】

図 7



【図 8】

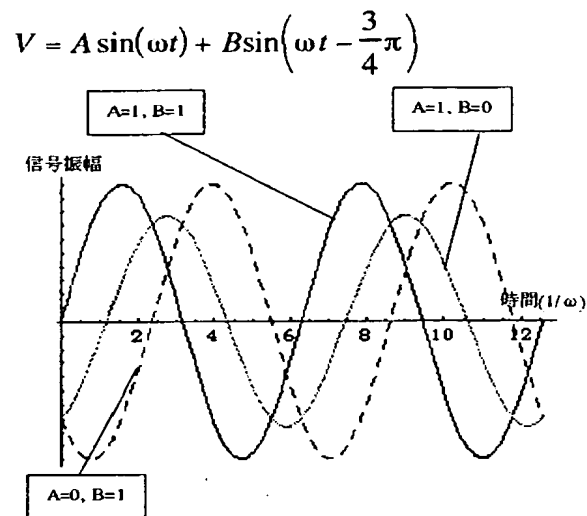
図 8



BEST AVAILABLE COPY

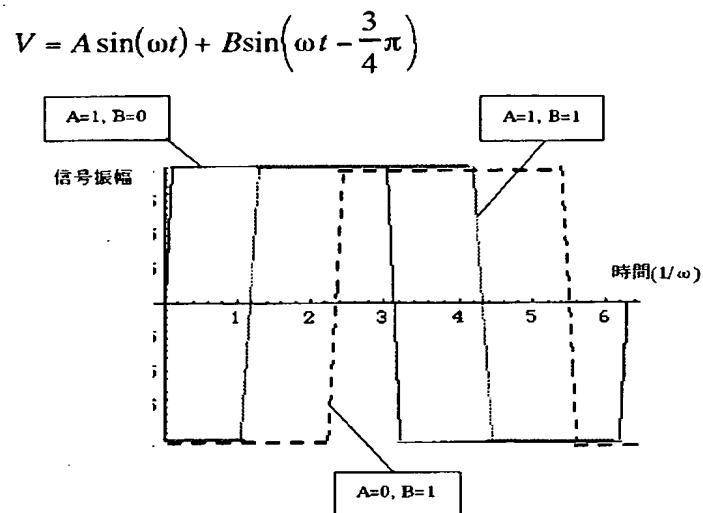
【図 9】

図 9



【図 10】

図 10

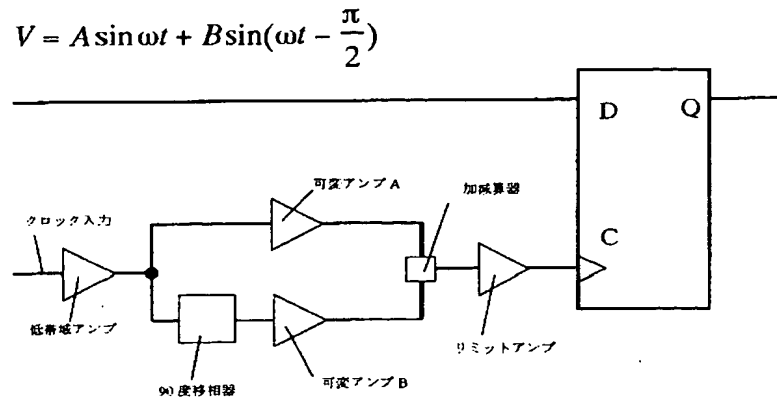


BEST AVAILABLE COPY



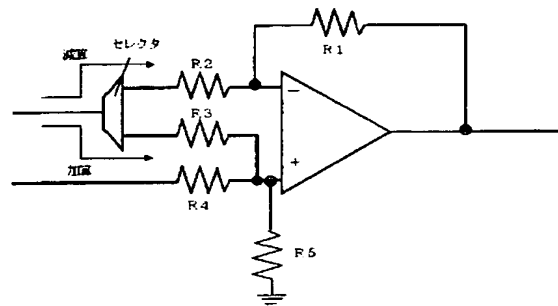
【図 1 1】

図 1 1



【図 1 2】

図 1 2

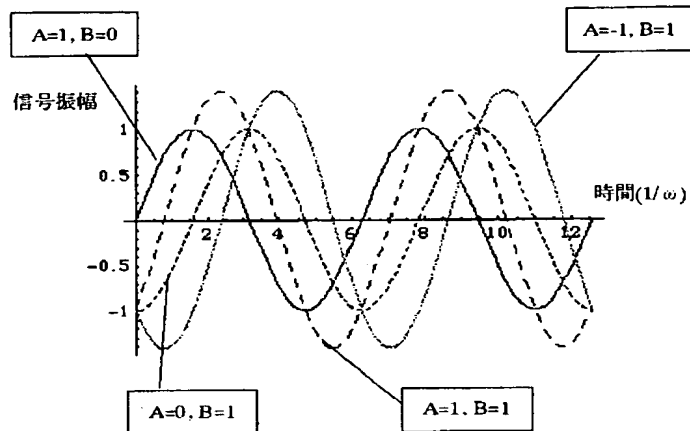


BEST AVAILABLE COPY

【図 1 3】

図 1 3

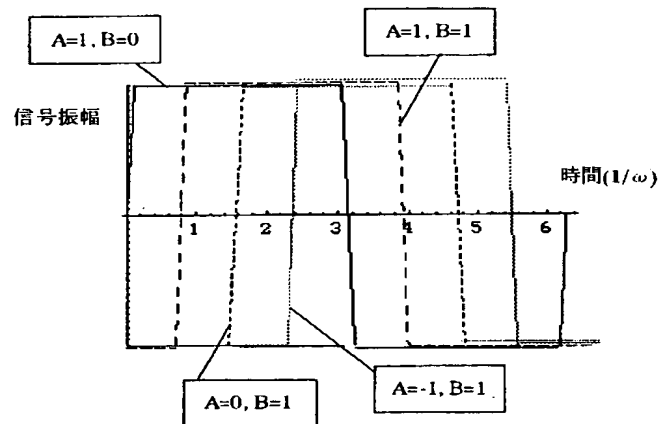
$$V = A \sin \omega t + B \sin(\omega t - \frac{\pi}{2})$$



【図 1 4】

図 1 4

$$V = A \sin \omega t + B \sin(\omega t - \frac{\pi}{2})$$

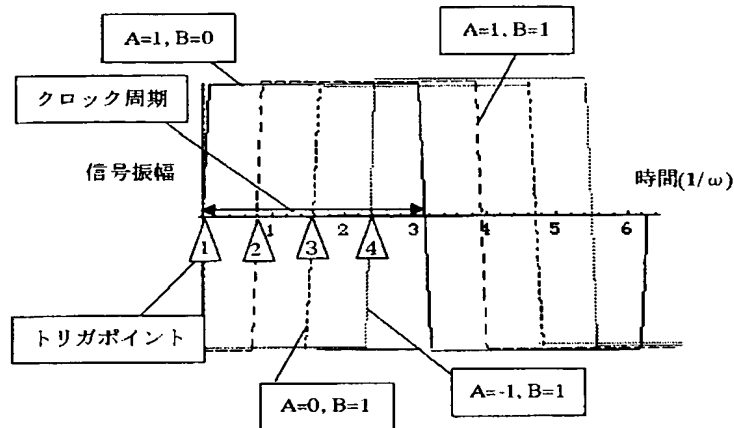


BEST AVAILABLE COPY

【図 15】

図 15

$$V = A \sin \omega t + B \sin(\omega t - \frac{\pi}{2})$$

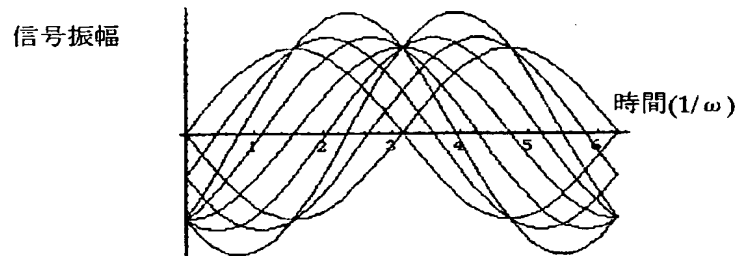


【図 16】

図 16

$$V = A \sin \omega t + B \sin(\omega t - \frac{\pi}{2})$$

- (1)  $A = 1, B = 0$
- (2)  $A = 1, B = 0.5$
- (3)  $A = 1, B = 1$
- (4)  $A = 0.5, B = 1$
- (5)  $A = 0, B = 1$
- (6)  $A = -0.5, B = 1$
- (7)  $A = -1, B = 1$
- (8)  $A = -1, B = 0.5$



BEST AVAILABLE COPY

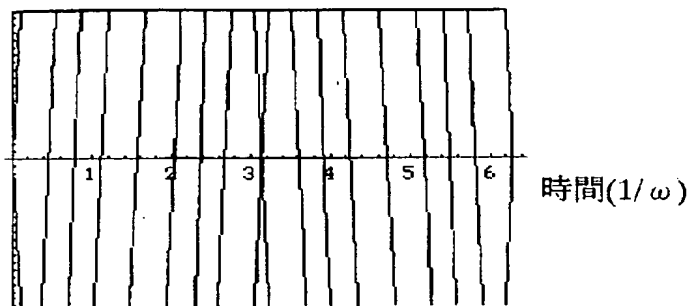
【図 17】

図 17

$$V = A \sin \omega t + B \sin(\omega t - \frac{\pi}{2})$$

- (1)  $A=1, B=0$
- (2)  $A=1, B=0.5$
- (3)  $A=1, B=1$
- (4)  $A=0.5, B=1$
- (5)  $A=0, B=1$
- (6)  $A=-0.5, B=1$
- (7)  $A=-1, B=1$
- (8)  $A=-1, B=0.5$

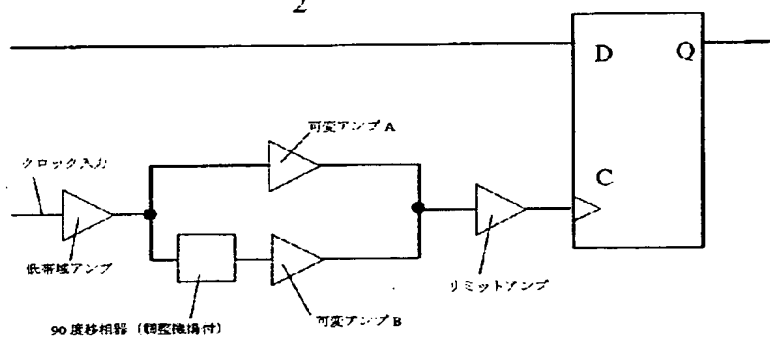
信号振幅



【図 18】

図 18

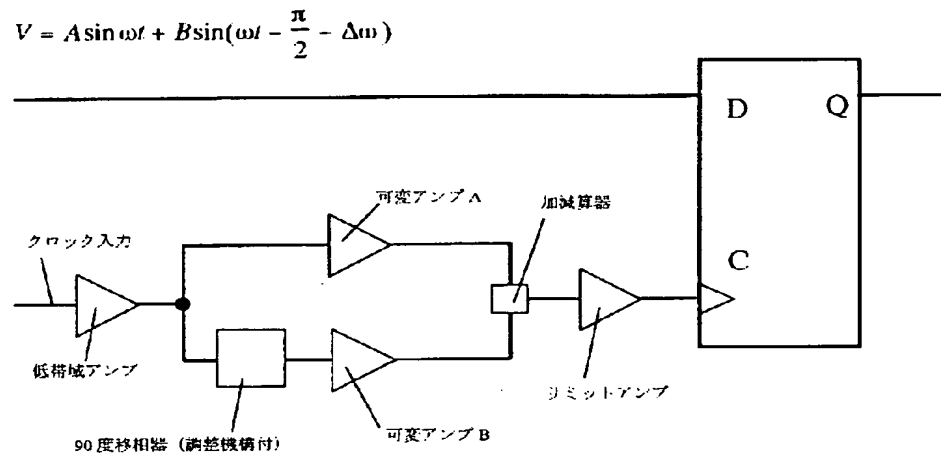
$$V = A \sin \omega t + B \sin(\omega t - \frac{\pi}{2} - \Delta \omega)$$



BEST AVAILABLE COPY

【図 19】

図 19



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 スキュー補正範囲の精度を数ピコ秒で実現し、しかも小型の回路規模を同時に実現すること。

【解決手段】 クロックとデータ間の位相関係を微調整するために、小型な回路規模と高精度の位相調整が可能なアナログ回路を用いた位相シフタを採用する。該位相シフタにおいては、位相調整をするクロック信号もしくはデータ信号を、信号変調速度の基底周波数以下の帯域を有する帯域制限アンプで基底周波数成分以下の周波数を抽出し、該信号を複数に分岐した後、複数の出力可変アンプに位相のずれたクロックもしくはデータ信号を入力し、該アンプの出力を加算もしくは減算する回路に入力し、加算もしくは減算後にリミットアンプに入力して、矩形波に波形整形して出力する回路を用い、該出力可変アンプの出力をアナログ調整する事により、入力したクロックもしくはデータ信号の位相を調整する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 1 3 0 2
受付番号	5 0 2 0 1 9 4 2 7 9 1
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 4 年 1 2 月 2 5 日

< 認定情報・付加情報 >

【提出日】	平成14年12月24日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【整理番号】 CSA07

【提出日】 平成15年 5月 9日

【あて先】 特許庁長官殿

【事件の表示】

    【出願番号】 特願2002-371302

【承継人】

    【識別番号】 000233295

    【住所又は居所】 神奈川県横浜市戸塚区戸塚町 3 9 3 番地

    【氏名又は名称】 日立ハイブリッドネットワーク株式会社

    【代表者】 平井 浩二

    【連絡先】 0 4 5 - 8 6 6 - 6 5 6 3 （技術管理 G）

【提出物件の目録】

    【物件名】 承継人であることを照明する書面 1

    【援用の表示】 平成 1 5 年 2 月 2 1 日差出の特願平 0 8 - 3 8 1 6 4 号  
                    手続補足書に添付のものを援用する。



特願 2 0 0 2 - 3 7 1 3 0 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 7 1 3 0 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 4 7 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

神奈川県横浜市戸塚区戸塚町 1 8 0 番地

氏 名

日立通信システム株式会社

特願 2 0 0 2 - 3 7 1 3 0 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

神奈川県横浜市戸塚区戸塚町 3 9 3 番地

氏 名

日立湘南電子株式会社

2. 変更年月日

2 0 0 2 年 1 0 月 2 2 日

[変更理由]

名称変更

住 所

神奈川県横浜市戸塚区戸塚町 3 9 3 番地

氏 名

日立ハイブリッドネットワーク株式会社